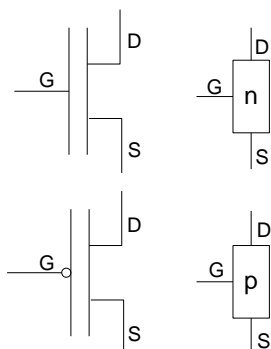


Logička kola

Prilikom projektovanja logičkih kola korišćenjem C-MOS tehnologije (komplementarne MOS tehnologije), uvijek se koriste upareni C-MOS i N-MOS FET-ovi. Simbol i šematski prikaz n-MOS feta je dat na slici 1 gore, dok je simbol i šematski prikaz za p-MOS FET dat na istoj slici dolje. Razlog za korišćenje uparenih p i n MOS FET-ova je činjenica da će se n-MOS FET-om pouzdano prenijeti logička nula, kod logičke jedinice zbog nedovoljnog pada napona između gejta i sorsa n-MOS-FET može biti zakočen. Nasuprot n-MOS FET-u, p-MOS FET pouzdano prenosi logičku jedinicu, kada je na gejtu logička nula, p-MOS FET može biti zakočen. Stoga se dio sa n-MOS FET-ovima spaja na izemljenje, a dio sa p-MOS FET-ovima na jedinicu (odgovara naponu V_{DD}).



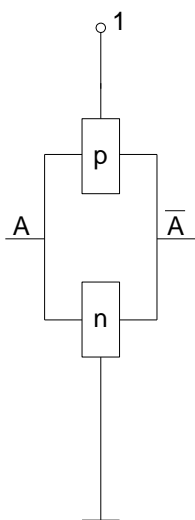
Slika 1 Šematski i simbolički prikaz n-MOS FET-a (gore) i p-MOS FET-a (dolje)

Sa slike 1 zaključujemo da dovođenjem logičke nule ili jedinice na gejt određujemo da li je neki FET zakočen ili ne. Prilikom ctanja šema za realizaciju logičkih kola korišćenjem MOS-fetova uvijek ćemo počinjati od dijela koji je sastavljen od n-MOS FET-ova. Ovaj dio crtamo poštujući dva pravila:

- logičkoj operaciji I (\cdot) će odgovarati redna veza n-MOS FET-ova,
- logičkoj operaciji ILI ($+$) će odgovarati paralelna veza n-MOS FET-ova.

Kada se nacrtat dio sa n-MOS FET-ovima, p-dio se dobija tako što se svaka redna veza iz dijela sa n-MOS FET-ovima crta kao paralelna, i svaka paralelna kao redna. Na ovaj način bi dobili funkciju koju treba realizovati invertovanu, da bi dobili neinvertovanu vrijednost funkcije na kraj svake realizacije ćemo stavljati invertor (ukoliko nam nije cilj da upravo invertovanu funkciju realizujemo).

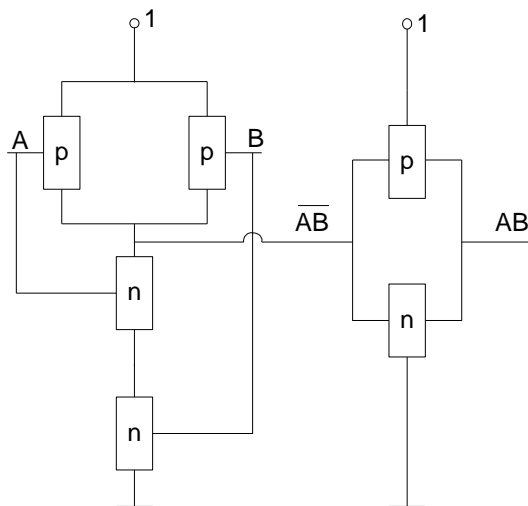
U nastavku su date realizacije osnovnih logičkih kola. Na slici 2 je prikazan invertor, na slici 3 najjednostavnije I kolo $F = AB$ i na slici 3 ILI kolo $A + B$.



Slika 2

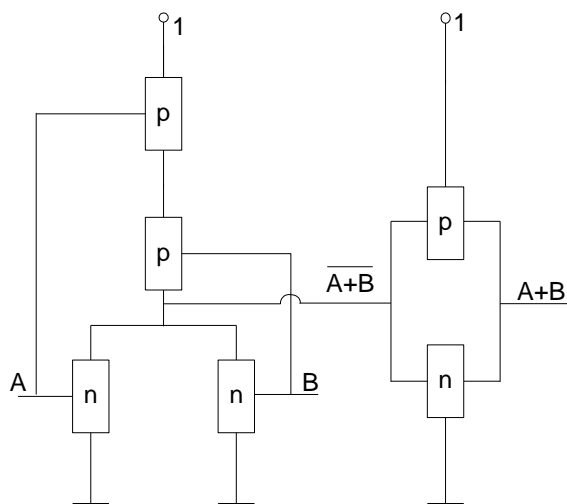
Prilikom realizacije logičkog kola I, korišćeno je pravilo da će se ono dobiti kao redna veza n-MOS FET-a na čiji gejt se dovodi A i n-MOS FET-a na čiji gejt se dovodi B i postavljanjem invertora na izlaz tako dobijenog logičkog kola, slika 3. Dio sa p-MOS fetovima je dobijen korišćenjem činjenice da rednoj vezi iz

dijela sa n-MOS FET-ovima odgovara paralelna veza p-MOS FET-ova. Izlaz logičkog kola je između dijela sa n-MOS FET-ovima i dijela sa p-MOS FET-ovima.



Slika 3

Prilikom realizacije ILI logičkog kola, korišćeno je pravilo da će se ono dobiti kao paralelna veza n-MOS FET-a na čiji gejt se dovodi A i n-MOS FET-a na čiji gejt se dovodi B i postavljanjem invertora, slika 4. Dio sa p-MOS fetovima je dobijen korišćenjem činjenice da paralelnoj vezi iz dijela sa n-MOS FET-ovima odgovara redna veza p-MOS FET-ova.

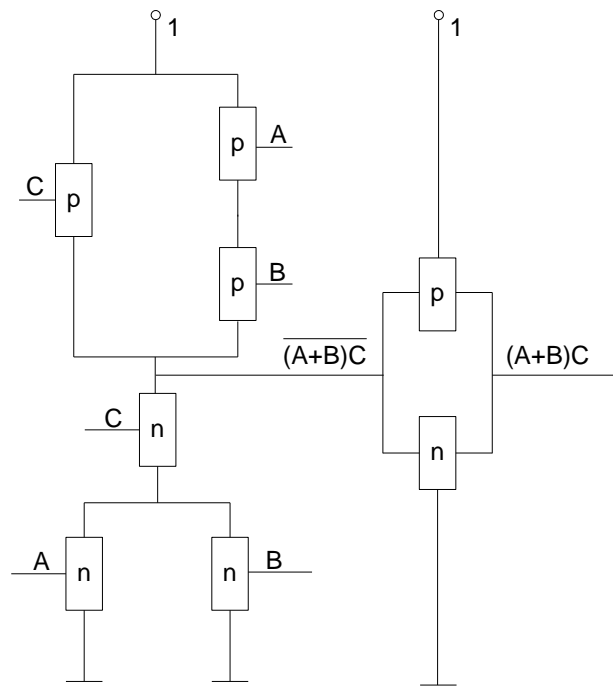


Slika 4

ZAD. 1. Korišćenjem CMOS tehnologije projektovati logičko kolo koje će obavljati funkciju: $F = (A + B)C$.

Rješenje:

$A + B$ se realizuje kao paralelna veza. Ovaj dio je povezan logičkom operacijom I sa C, čemu odgovara redna veza n-MOS FET-ova. Dio sa p-MOS FET-ovima se realizuje tako što svakoj rednoj vezi iz n dijela odgovara paralelna u p dijelu i svakoj paralelnoj vezi iz n dijela, odgovara redna u p dijelu. U dijelu sa n-MOS FET-ovima je C bilo redno vezano sa A i B, koji su bili međusobno pararnelno vezani. U dijelu sa p-MOS FET-ovima će C biti vezano paralelno sa A i B koji će biti međusobno redno vezani. Da bi se dobila sama funkcija, a ne invertovana, dodaje se invertor. Realizacija je prikazana na slici 5.

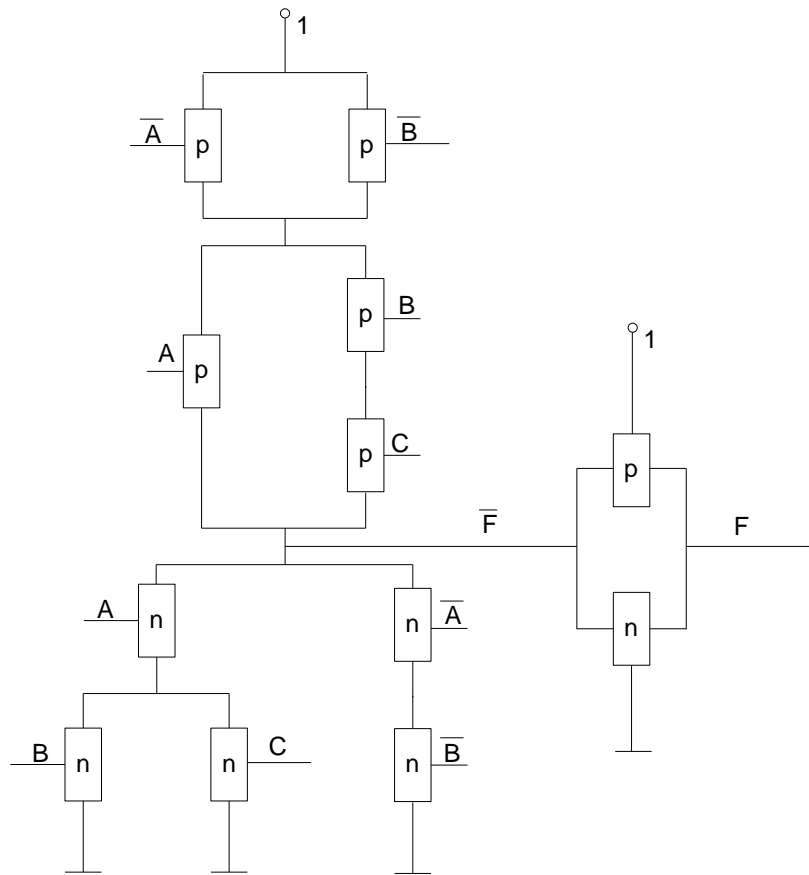


Slika 5

ZAD. 2. Korišćenjem CMOS tehnologije projektovati logičko kolo koje će obavljati funkciju:
 $F = A(B + C) + \bar{A}\bar{B}$.

Rješenje:

A će biti vezano na red (•) sa C i B koji su međusobno paralelno vezani (+), sve ovo je vezano paralelno (+) sa \bar{A} i \bar{B} koji su vezani međusobno na red (•). Dakle, dobija se dio sa n-MOS FET-ovima za invertovanu funkciju $F = A(B + C) + \bar{A}\bar{B}$, \bar{F} . Dio sa p-MOS FET-ovima se dobija tako što svakoj rednoj vezi iz n-MOS FET-a odgovara paralelna veza p-MOS fetova, i obratno, svakoj paralelnoj vezi n dijela, odgovara redna u p dijelu. U dijelu sa p-MOS FET-ovima je A vezano paralelno sa B i C koji su međusobno redno vezani. Sve ovo je vezano redno sa \bar{A} i \bar{B} , koji su međusobno paparelno vezani. Da bi se dobila sama funkcija F , a ne invertovana \bar{F} , postavlja se invertor. Realizacija je prikazana na slici 6.

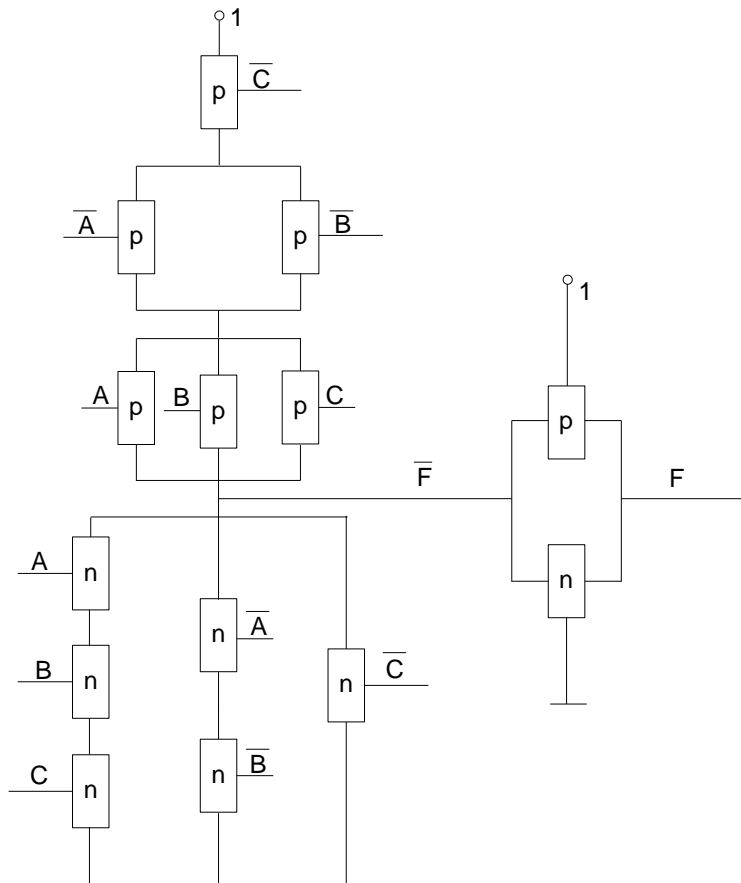


Slika 6

ZAD. 3. Korištenjem CMOS tehnologije projektovati logičko kolo koje će obavljati funkciju:
 $F = ABC + \overline{A}\overline{B} + \overline{C}$.

Rješenje:

Ralizacija je prikazana na slici 7.



Slika 7